

# DIG - Digitaltechnik

## DIG - Digital Circuit Theory

---

<b>Allgemeine Informationen</b>	
<b>Modulkürzel oder Nummer</b>	DIG
<b>Eindeutige Bezeichnung</b>	DigTech-01-BA-M
<b>Modulverantwortlich(e)</b>	Prof. Dr. Jetzek, Ulrich (ulrich.jetzek@haw-kiel.de)
<b>Lehrperson(en)</b>	Dipl.-Ing. Dittmann-Wunderlich, Jens (jens.dittmann@haw-kiel.de) Dipl.-Ing. Hoffmüller, Jan (jan.hoffmueller@haw-kiel.de) Prof. Dr. Jetzek, Ulrich (ulrich.jetzek@haw-kiel.de) Dipl.Ing. Sieloff, Maike (maike.sieloff@haw-kiel.de)
<b>Wird angeboten zum</b>	Sommersemester 2026
<b>Moduldauer</b>	1 Fachsemester
<b>Angebotsfrequenz</b>	Regelmäßig
<b>Angebotsturnus</b>	In der Regel im Sommersemester
<b>Lehrsprache</b>	Deutsch
<b>Empfohlen für internationale Studierende</b>	Nein
<b>Ist als Wahlmodul auch für andere Studiengänge freigegeben (ggf. Interdisziplinäres Modulangebot - IDL)</b>	Nein

<b>Studiengänge und Art des Moduls (gemäß Prüfungsordnung)</b>
Studiengang: B.Eng. - E - Elektrotechnik (PO 2017, V3) Modulart: Pflichtmodul Fachsemester: 3
Studiengang: B.Eng. - E - Elektrotechnik (PO 2023, V4) Modulart: Pflichtmodul Fachsemester: 2
Studiengang: B.Eng. - Me (PO 2024) - Mechatronik (PO 2024, V5) Modulart: Pflichtmodul Fachsemester: 4
Studiengang: B.Eng. - Ming - Medieningenieur/-in (PO 2018, V1 + PO 2021, V2) Modulart: Wahlmodul Fachsemester: 4, 6
Studiengang: B.Eng. - Wing - Wirtschaftsingenieurwesen - Elektrotechnik (PO 2025, V2) Modulart: Wahlmodul Fachsemester: 6
Studiengang: B.Eng. - Wing - Wirtschaftsingenieurwesen - Elektrotechnik (PO 2025, V2) Vertiefungsrichtung: Informationstechnik Modulart: Verpfl. Wahlmodul, PVO §3 Fachsemester: 2
Studiengang: B.Eng. - Wing - Wirtschaftsingenieurwesen - Elektrotechnik (PO 2017, V1) Modulart: Wahlmodul Fachsemester: 6
Studiengang: B.Eng. - Wing - Wirtschaftsingenieurwesen - Elektrotechnik (PO 2017, V1) Vertiefungsrichtung: Kommunikationstechnik Modulart: Verpfl. Wahlmodul, PVO §3 Fachsemester: 3, 4, 5, 6

Studiengang: B.Sc. - INF - Informatik (PO 2021,V1)  
 Modulart: Wahlmodul  
 Fachsemester: 4, 6

### Kompetenzen / Lernergebnisse

*Kompetenzbereiche: Wissen und Verstehen; Einsatz, Anwendung und Erzeugung von Wissen; Kommunikation und Kooperation; Wissenschaftliches Selbstverständnis/Professionalität.*

Die Studierenden

- verstehen die Gesetze und Regeln der Boole'schen Algebra
- verstehen, was es bedeutet eine logische Funktion zu minimieren
- kennen den Aufbau und die Funktionsweise der grundlegenden digitaltechnischen Bauelemente, wie z.B. Multiplexer, Decoder, Volladdierer.
- verstehen den Aufbau und die Funktionsweise von Speicherelementen wie Latches und Flipflops
- verstehen den Aufbau von Zustandsautomaten und ebenso, was eine Folgezustandstabelle und ein Zustandsdiagramm sind, und wofür diese gebraucht werden.
- verstehen die wichtigsten Zahlensysteme (Dual-, Oktal-, Dezimal- und Hexadezimalsystem), wie man zwischen Zahlensystemen konvertiert und auch, wie man grundlegende Operationen wie Addition und Multiplikation im Dualsystem ausführt.
- verstehen das Konzept der Hardwarebeschreibungssprache VHDL

Die Studierenden erwerben die Fähigkeit

1. Schaltungen der Digitaltechnik in ihrem Logik- und Zeitverhalten zu analysieren.
2. digitaltechnische Schaltungen mit kombinatorischer und sequentieller Logik zu entwerfen
3. Zustandsautomaten als Moore- oder Mealy-Automaten zu entwerfen.
4. Schaltungen der Digitaltechnik in Form eines Schaltplans (schematic) zu entwerfen und auf einem FPGA zu implementieren.
5. Schaltungen der Digitaltechnik zu simulieren, aufzubauen, zu testen und zu dokumentieren.

Die Studierenden lernen in diesem Modul problembezogene Aufgabenstellungen in kleinen Teams zu diskutieren und gemeinsam Lösungen zu erarbeiten.

Die Studierenden lernen, wie man systematisch und strukturiert definierte Vorgaben in eine digitaltechnische Schaltung umsetzt.

### Angaben zum Inhalt

<b>Lehrinhalte</b>	<ol style="list-style-type: none"> <li>1. Logische Funktionen (Boole'sche Algebra, Mimierung logischer Funktionen, KV-Diagramme)</li> <li>2. Datenpfadkomponenten (Multiplexer, Demultiplexer, Prioritätsencoder, Komparator, Halb- und Volladdierer, Ripple-Carry- und Carry-Look-Ahead-Addierer)</li> <li>3. Latches und Flipflops - Aufbau, Funktionsweise und Anwendungen</li> <li>4. Schieberegisterschaltungen</li> <li>5. Entwurf synchroner Zustandsautomaten</li> <li>6. Entwurf synchroner Zähler</li> <li>7. Zahlensysteme, Konvertierung zwischen Zahlensystemen, 1-er und 2-er-Komplement, Subtraktion mittels 2-er-Komplement</li> <li>8. Einführung in VHDL</li> <li>9. Einführung in Codes</li> <li>10. Technologien digitaler Bauelemente</li> <li>11. Programmierbare Logik (PLD, FPGA)</li> </ol>
--------------------	--

<b>Literatur</b>	<ol style="list-style-type: none"> <li>1. J. Reichardt: "Lehrbuch Digitaltechnik - Eine Einführung mit VHDL", Oldenbourg Verlag, 4. Auflage, 2016</li> <li>2. Woitowitz / Urbanski: „Digitaltechnik“, Springer Verlag, 5.Auflage, 2007</li> <li>3. Klaus Beuth: „Digitaltechnik“, Vogel, 13.Auflage, 2006</li> <li>4. Klaus Fricke: „Digitaltechnik“, Vieweg Verlag, 5.Auflage, 2007</li> <li>5. Tietze/Schenk: „Halbleiter-Schaltungstechnik“, Springer, 12. Auflage, 2002</li> </ol>
------------------	--

### Lehrformen der Lehrveranstaltungen

Lehrform	SWS
Labor	1
Lehrvortrag	2
Übung	1

### Arbeitsaufwand

<b>Anzahl der SWS</b>	4 SWS
<b>Leistungspunkte</b>	5,00 Leistungspunkte
<b>Präsenzzeit</b>	48 Stunden
<b>Selbststudium</b>	102 Stunden

### Modulprüfungsleistung

<b>Voraussetzung für die Teilnahme an der Prüfung gemäß PO</b>	Keine
<b>DIG - Laborprüfung</b>	Prüfungsform: Laborprüfung Gewichtung: 0% wird angerechnet gem. § 11 Absatz 2 PVO: Ja Benotet: Nein Anmerkung: Labortestat. Die in SoSe 2024 bestehende Teilprüfung "Übung" wird bei nicht abgeschlossener Modulprüfung auf die neue Teilprüfung "Laborprüfung" angerechnet.
<b>DIG - Klausur</b>	Prüfungsform: Klausur Dauer: 120 Minuten Gewichtung: 100% wird angerechnet gem. § 11 Absatz 2 PVO: Nein Benotet: Ja

### Sonstiges

<b>Empfohlene Voraussetzungen</b>	Modul "Elektronik"
<b>Sonstiges</b>	Alle Laborberichte müssen durch Testat anerkannt sein.