

MK114 - FPGA Prototyping by VHDL examples

MK114 - FPGA Prototyping by VHDL examples

Allgemeine Informationen	
Modulkürzel oder Nummer	MK114
Eindeutige Bezeichnung	
Modulverantwortlich(e)	Prof. Dr. Jetzek, Ulrich (ulrich.jetzek@haw-kiel.de)
Lehrperson(en)	Prof. Dr. Jetzek, Ulrich (ulrich.jetzek@haw-kiel.de) Rohrandt, Christian (christian.rohrandt@haw-kiel.de)
Wird angeboten zum	Sommersemester 2019
Moduldauer	1 Fachsemester
Angebotsfrequenz	Regelmäßig
Angebotsturnus	In der Regel im Sommersemester
Lehrsprache	Englisch
Empfohlen für internationale Studierende	Ja
Ist als Wahlmodul auch für andere Studiengänge freigegeben (ggf. Interdisziplinäres Modulangebot - IDL)	Nein

Studiengänge und Art des Moduls (gemäß Prüfungsordnung)
Studiengang: M.Eng. - MET - Elektrische Technologien (PO 2017, V3) Vertiefungsrichtung: Kommunikationstechnik und Embedded Systems Modulart: Wahlmodul Fachsemester: 1, 2
Studiengang: M.Eng. - MET - Elektrische Technologien (PO 2017, V3) Vertiefungsrichtung: Elektrische Energietechnik Modulart: Wahlmodul Fachsemester: 1, 2
Studiengang: M.Eng. - MET - Elektrische Technologien (PO 2017, V3) Vertiefungsrichtung: Mechatronik Modulart: Wahlmodul Fachsemester: 1, 2
Studiengang: M.Sc. - MIE - Information Engineering (PO 2022, V3) Vertiefungsrichtung: IT Security Modulart: Wahlmodul Fachsemester: 1, 2, 3
Studiengang: M.Sc. - MIE - Information Engineering (PO 2022, V3) Vertiefungsrichtung: Information Technology and Systems Modulart: Wahlmodul Fachsemester: 1, 2, 3
Studiengang: M.Sc. - MIE - Information Engineering (PO 2022, V3) Vertiefungsrichtung: Intelligent Systems Modulart: Wahlmodul Fachsemester: 1, 2, 3

Kompetenzen / Lernergebnisse
<i>Kompetenzbereiche: Wissen und Verstehen; Einsatz, Anwendung und Erzeugung von Wissen; Kommunikation und Kooperation; Wissenschaftliches Selbstverständnis/Professionalität.</i>

The students have understood the fundamentals of the Hardware Description Language VHDL. They know the principle how to design combinatorial as well as sequential circuits and how to implement a finite state machine in VHDL. They are able to apply this knowledge to design regular sequential circuits like Counters or shift Registers as well as circuits for finite state machines. The students know how to partition a System into control and data plane and how to implement the corresponding circuits in VHDL. They know how to set up a testbench and are capable of simulating VHDL designs as well as how to set up simple testing circuits to a specific VHDL design on a development board.

Within the lab exercises, the students have the possibility to apply their knowledge by implementing given problems on a development board and to validate their implementation approach.

The students work together in small teams in the lab. Therefore they are capable of structuring lab exercises into different work packages, to discuss and solve problems, which occur throughout the implementation process, within the team and they are able to document their lab exercise results in a systematic and structured way.

Angaben zum Inhalt

Lehrinhalte	<ul style="list-style-type: none"> - synthesis of combinational digital circuits - structured VHDL coding - design of digital functions using the VHDL concept of ‚processes‘ - design and verification of sequential circuits - design and verification of finite state machines - control and usage of common technical components like UART, FIFO or VGA (graphics). <p>The different topics will be implemented on the ZED-Board, which is a powerful Xilinx development board equipped with a Zynq System-on-Chip (SoC).</p>
Literatur	<ul style="list-style-type: none"> - Jürgen Reichardt, Bernd Schwarz: „VHDL Synthese – Entwurf digitaler Schaltungen und Systeme“, Oldenbourg Verl., 5.Aufl., 2009 - Pong P. Chu: “FPGA Prototyping by VHDL-Examples“, Wiley & Sons, 2008

Lehrformen der Lehrveranstaltungen

Lehrform	SWS
Labor	2
Lehrvortrag	2

Arbeitsaufwand

Anzahl der SWS	4 SWS
Leistungspunkte	5,00 Leistungspunkte
Präsenzzeit	48 Stunden
Selbststudium	102 Stunden

Modulprüfungsleistung

Voraussetzung für die Teilnahme an der Prüfung gemäß PO	Keine
MK114 - Übung	Prüfungsform: Übung Gewichtung: 0% wird angerechnet gem. § 11 Absatz 2 PVO: Ja Benotet: Nein
MK114 - Klausur	Prüfungsform: Klausur Dauer: 90 Minuten Gewichtung: 100% wird angerechnet gem. § 11 Absatz 2 PVO: Ja Benotet: Ja