

BK107 - ASIC-Design / VHDL

BK107 - ASIC-Design / VHDL

Allgemeine Informationen	
Modulkürzel oder Nummer	BK107
Eindeutige Bezeichnung	
Modulverantwortlich(e)	Prof. Dr. Jetzek, Ulrich (ulrich.jetzek@haw-kiel.de)
Lehrperson(en)	Prof. Dr. Jetzek, Ulrich (ulrich.jetzek@haw-kiel.de) Rohrandt, Christian (christian.rohrandt@haw-kiel.de)
Wird angeboten zum	Sommersemester 2019
Moduldauer	1 Fachsemester
Angebotsfrequenz	Regelmäßig
Angebotsturnus	In der Regel im Sommersemester
Lehrsprache	Englisch
Empfohlen für internationale Studierende	Ja
Ist als Wahlmodul auch für andere Studiengänge freigegeben (ggf. Interdisziplinäres Modulangebot - IDL)	Nein

Studiengänge und Art des Moduls (gemäß Prüfungsordnung)
Studiengang: B.Eng. - E - Elektrotechnik (PO 2017, V3) Vertiefungsrichtung: Technische Informatik Modulart: Wahlmodul Fachsemester: 4, 5, 6, 7
Studiengang: B.Eng. - E - Elektrotechnik (PO 2017, V3) Vertiefungsrichtung: Kommunikationstechnik und Embedded Systems Modulart: Wahlmodul Fachsemester: 5, 6
Studiengang: B.Eng. - Me (PO 2023) - Mechatronik (PO 2023, V4) Modulart: Wahlmodul Fachsemester: 4, 5, 6
Studiengang: B.Eng. - Wing - Wirtschaftsingenieurwesen - Elektrotechnik (PO 2017, V1) Vertiefungsrichtung: Kommunikationstechnik Modulart: Wahlmodul Fachsemester: 5, 6
Studiengang: B.Eng. - Wing - Wirtschaftsingenieurwesen - Elektrotechnik (PO 2017, V1) Vertiefungsrichtung: Digitale Wirtschaft Modulart: Wahlmodul Fachsemester: 4, 5, 6, 7
Studiengang: B.Sc. - INI - Informationstechnologie (PO 2017, V1) Vertiefungsrichtung: Medieninformatik Modulart: Wahlmodul Fachsemester: 4, 5
Studiengang: B.Sc. - INI - Informationstechnologie (PO 2017, V1) Vertiefungsrichtung: Angewandte Informatik Modulart: Wahlmodul Fachsemester: 4, 5

Kompetenzen / Lernergebnisse

Kompetenzbereiche: Wissen und Verstehen; Einsatz, Anwendung und Erzeugung von Wissen; Kommunikation und Kooperation; Wissenschaftliches Selbstverständnis/Professionalität.

Students have understood the concept, syntax and semantics of the Hardware description language VHDL.

Students will apply their VHDL-Knowledge to specific lab-Problems, where they will work with suitable development boards. Students will implement VHDL-designs based on given problems onto the development-boards/FPGAs. Within this module development boards equipped with Xilinx FPGAs will be used.

Students will work in small teams in the lab Environment and will learn to solve problems in a team.

Within this module students will learn:

- how to analyze a specific digital circuit Problem
- how to design VHDL-Code in order to solve digital circuit Problems
- how to simulate their VHDL-Code
- how to synthesize their VHDL Code and to program an FPGA
- how to test and verify their VHDL-Code on an FPGA/development board

Angaben zum Inhalt

Lehrinhalte	- synthesis of simple combinatorial logic in VHDL - design of digital functions and function elements in VHDL using processes - modelling of tri-state-elements and don't care states in VHDL - design of finite state machines and synchronous counters in VHDL - structured VHDL designs using main and sub modules
Literatur	- Jürgen Reichardt, Bernd Schwarz: „VHDL Synthese – Entwurf digitaler Schaltungen und Systeme“, Oldenbourg Verl., 5.Aufl., 2009 - Pong P. Chu: “FPGA Prototyping by VHDL-Examples“, Wiley & Sons, 2008

Lehrformen der Lehrveranstaltungen

Lehrform	SWS
Lehrvortrag	2
Labor	2

Arbeitsaufwand

Anzahl der SWS	4 SWS
Leistungspunkte	5,00 Leistungspunkte
Präsenzzeit	48 Stunden
Selbststudium	102 Stunden

Modulprüfungsleistung

Voraussetzung für die Teilnahme an der Prüfung gemäß PO	Keine
BK107 - Übung	Prüfungsform: Übung Gewichtung: 0% wird angerechnet gem. § 11 Absatz 2 PVO: Ja Benotet: Nein
BK107 - Klausur	Prüfungsform: Klausur Dauer: 90 Minuten Gewichtung: 100% wird angerechnet gem. § 11 Absatz 2 PVO: Ja Benotet: Ja

Sonstiges	
Sonstiges	Alle Laborberichte müssen durch Testat anerkannt sein. Nur dann gilt das Labor als bestanden.